

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-369271

(43) 公開日 平成4年(1992)12月22日

(51) Int.Cl.⁵
H 0 1 L 29/784

識別記号 庁内整理番号
9056-4M

F I
H 0 1 L 29/78 3 1 1 S

技術表示箇所

審査請求 未請求 請求項の数10(全 6 頁)

(21) 出願番号 特願平3-170438

(22) 出願日 平成3年(1991)6月17日

(71) 出願人 000001443

カシオ計算機株式会社
東京都新宿区西新宿2丁目6番1号

(72) 発明者 竹田 恒治

東京都八王子市石川町2951番地の5 カシ
オ計算機株式会社八王子研究所内

(72) 発明者 若井 晴夫

東京都八王子市石川町2951番地の5 カシ
オ計算機株式会社八王子研究所内

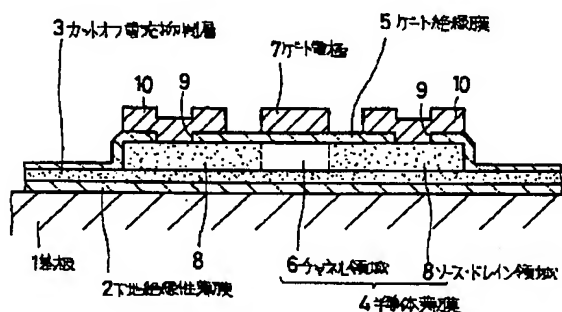
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減する。

【構成】 基板1の上には下地絶縁性薄膜2が設けられている。下地絶縁性薄膜2の上にはカットオフ電流抑制層3が設けられている。カットオフ電流抑制層3の上の所定の個所にはポリシリコン等からなる半導体薄膜4が設けられている。半導体薄膜4およびカットオフ電流抑制層3の上にはゲート絶縁膜5が設けられている。半導体薄膜4のチャネル領域6に対応する部分のゲート絶縁膜5の上にはゲート電極7が設けられている。ゲート電極7の両側における半導体薄膜4には不純物を高濃度に含有されたソース・ドレイン領域8が設けられている。カットオフ電流抑制層3は、ソース・ドレイン領域8と反対の導電型の不純物(ソース・ドレイン領域8がn型の場合にはp型の不純物、p型の場合にはn型の不純物)が含有されたポリシリコン等の半導体薄膜からなっている。



【特許請求の範囲】

【請求項1】 単層または複数層の半導体薄膜に一導電型の不純物が高濃度に含有されたソース・ドレイン領域を設けると共に該ソース・ドレイン領域の一面にカットオフ電流抑制層を結合したことを特徴とする薄膜トランジスタ。

【請求項2】 前記カットオフ電流抑制層は他導電型の不純物が含有された半導体薄膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜を備えていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記半導体薄膜のソース・ドレイン領域は高濃度不純物領域と該高濃度不純物領域周囲の低濃度不純物領域からなるLDD構造であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 コプラナ型であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 前記半導体薄膜はチャネル用半導体薄膜とソースおよびドレイン用半導体薄膜の積層構造を有することを特徴とする請求項1記載の薄膜トランジスタ。

【請求項7】 ソースおよびドレイン用半導体薄膜は高濃度不純物領域と低濃度不純物領域の積層構造とされていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項8】 前記カットオフ電流抑制層は前記半導体薄膜のソース・ドレイン電極間部分のみに対応して形成されていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項9】 前記半導体薄膜はチャネル用半導体薄膜と、低濃度不純物領域および高濃度不純物領域からなるソースおよびドレイン用半導体薄膜の積層構造を有することを特徴とする請求項1記載の薄膜トランジスタ。

【請求項10】 前記カットオフ電流抑制層は前記半導体薄膜のソース・ドレイン電極間部分のみに対応して形成されていることを特徴とする請求項9記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタに関する。

【0002】

【従来の技術】 例えばコプラナ型の薄膜トランジスタは、一般に、シリコン、石英、耐熱性ガラス等からなる基板上に直接または酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜を介してポリシリコン等からなる半導体薄膜を設け、この半導体薄膜を酸化シリコンや窒化シリコン等からなるゲート絶縁膜で覆い、半導体薄膜のチャネル領域に対応する部分のゲート絶縁膜上にゲート電極を設け、このゲート電極の両側における半導体薄膜

に不純物が高濃度に含有されたn型またはp型のソース・ドレイン領域を設け、ゲート絶縁膜上にコンタクトホールを介してソース・ドレイン領域と接続されるソース・ドレイン電極を設けた構造となっている。

【0003】

【発明が解決しようとする課題】 しかしながら、このような薄膜トランジスタでは、リーク電流を小さくするためにカットオフ電流を十分に低減しようとする、これにほぼ比例してオン電流も低減してしまうので、カットオフ電流の低減に制約を受けるという問題があった。これは、薄膜トランジスタのしきい値電圧から測定したゲート電圧を一定にしたときのオン電流の絶対値が半導体薄膜のバルクの性質（主として電界効果移動度に反映される）によって決定されるのに対し、カットオフ電流が下地絶縁性薄膜と半導体薄膜との界面状態、半導体薄膜のバルクの性質および半導体薄膜とゲート絶縁膜との界面状態等によって決定されるということに起因し、また下地絶縁性薄膜と半導体薄膜との界面状態が半導体薄膜のバルクの性質や半導体薄膜とゲート絶縁膜との界面状態等に悪影響を及ぼすということに起因している。この発明の目的は、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することのできる薄膜トランジスタを提供することにある。

【0004】

【課題を解決するための手段】 この発明は、単層または複数層の半導体薄膜に一導電型の不純物が高濃度に含有されたソース・ドレイン領域を設けると共に該ソース・ドレイン領域の一面にカットオフ電流抑制層を結合したものである。

【0005】

【作用】 この発明によれば、ソース・ドレイン領域の一面にカットオフ電流抑制層を結合しているため、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【0006】

【実施例】 図1はこの発明をコプラナ型の薄膜トランジスタに適用した場合の一例を示したものである。この薄膜トランジスタでは、シリコン、石英、耐熱性ガラス等からなる基板1の上面に酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜2が設けられている。下地絶縁性薄膜2の上面には後で詳述するカットオフ電流抑制層3が設けられている。カットオフ電流抑制層3の上面の所定の個所にはポリシリコン等からなる半導体薄膜4が設けられている。半導体薄膜4およびカットオフ電流抑制層3の上面には酸化シリコンや窒化シリコン等からなるゲート絶縁膜5が設けられている。半導体薄膜4のチャネル領域6に対応する部分のゲート絶縁膜5の上面にはアルミニウムからなるゲート電極7が設けられている。ゲート電極7の両側における半導体薄膜4にはイオン注入や熱拡散等により不純物を高濃度に含有されたソ

3

ース・ドレイン領域8が設けられている。カットオフ電流抑制層3は、ソース・ドレイン領域8と反対の導電型の不純物（ソース・ドレイン領域8がn型の場合にはp型の不純物、p型の場合にはn型の不純物）が含有されたアモルファスシリコンまたはポリシリコンの半導体薄膜からなっている。半導体薄膜4のソース・ドレイン領域8に対応する部分のゲート絶縁膜5にはコンタクトホール9が設けられている。ゲート絶縁膜5の上面にはアルミニウムからなるソース・ドレイン電極10がコンタクトホール9を介して半導体薄膜4のソース・ドレイン領域8と接続されて設けられている。

【0007】このように、この薄膜トランジスタでは、下地絶縁性薄膜2と半導体薄膜4のソース・ドレイン領域8との間に、ソース・ドレイン領域8と反対の導電型の不純物が含有された半導体薄膜からなるカットオフ電流抑制層3を設けているので、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。特に、カットオフ電流抑制層3に、半導体薄膜4のソース・ドレイン領域8に含有された不純物イオンと逆導電型の不純物イオンが含有されている場合には、ソース領域またはドレイン領域8との界面にドレイン電流の向きとは逆向きのダイオードを形成することとなり、その効果は大変に大きいものとなる。

【0008】次に、図2はこの発明をLDD (Lightly Doped Drain) 構造のコプラナ型の薄膜トランジスタに適用した場合の一例を示したものである。この図において、図1と同一部分には同一の符号を付し、その説明を適宜省略する。この薄膜トランジスタでは、チャンネル領域6の両側に不純物濃度の低いソース・ドレイン領域8aが形成され、この不純物濃度の低いソース・ドレイン領域8aの上面側に不純物濃度の高いソース・ドレイン領域8bが形成され、この不純物濃度の高いソース・ドレイン領域8bにソース・ドレイン電極10が接続された構造となっている。この薄膜トランジスタでは、前述のコプラナ型の薄膜トランジスタの場合と同様に、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができ、その上、不純物濃度の低いソース・ドレイン領域8aによって高電界を緩和することができるので、耐圧の向上を図ることができる。

【0009】次に、図3はこの発明をスタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この薄膜トランジスタでは、シリコン、石英、耐熱性ガラス等からなる基板21の上面に酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜22が設けられている。下地絶縁性薄膜22の上面の所定の箇所には後で詳述するカットオフ電流抑制層23が設けられている。カットオフ電流抑制層23の上面の両側には不純物を高濃度に含有されたポリシリコン等からなるソース・ドレイン用半導体薄膜24が設けられている。カットオフ電流抑制層23は、ソース・ドレイン用半導体薄膜24と反

4

対の導電型の不純物（ソース・ドレイン用半導体薄膜24がn型の場合にはp型の不純物、p型の場合にはn型の不純物）が含有されたアモルファスシリコンまたはポリシリコンの半導体薄膜からなっている。左側のソース・ドレイン用半導体薄膜24の右側の上面、右側のソース・ドレイン用半導体薄膜24の左側の上面および両ソース・ドレイン用半導体薄膜24間におけるカットオフ電流抑制層23の上面にはポリシリコン等からなるチャネル用半導体薄膜25が設けられている。チャネル用半導体薄膜25、ソース・ドレイン用半導体薄膜24および下地絶縁性薄膜22の上面には酸化シリコンや窒化シリコン等からなるゲート絶縁膜26が設けられている。両ソース・ドレイン用半導体薄膜24間におけるチャネル用半導体薄膜25に対応する部分のゲート絶縁膜26の上面にはアルミニウムからなるゲート電極27が設けられている。ソース・ドレイン用半導体薄膜24に対応する部分のゲート絶縁膜26にはコンタクトホール28が設けられている。ゲート絶縁膜26の上面にはアルミニウムからなるソース・ドレイン電極29がコンタクトホール28を介してソース・ドレイン用半導体薄膜24と接続されて設けられている。

【0010】このように、この薄膜トランジスタでは、下地絶縁性薄膜22とソース・ドレイン用半導体薄膜24との間に、ソース・ドレイン用半導体薄膜24と反対の導電型の不純物が含有された半導体薄膜からなるカットオフ電流抑制層23を設けているので、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【0011】次に、図4はこの発明をLDD構造のスタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この図において、図3と同一部分には同一の符号を付し、その説明を適宜省略する。この薄膜トランジスタでは、図3の実施例に対し、ソース・ドレイン用半導体薄膜24を低濃度不純物領域24aと高濃度不純物領域24bとの積層構造とした点でのみ相違する。カットオフ電流抑制層23は低濃度不純物領域24aに面して形成される。低濃度不純物領域24aと高濃度不純物領域24bはイオン打込みの深さを変えて形成することもできるし、低濃度不純物雰囲気中および高濃度不純物雰囲気中でそれぞれCVDにより成膜することもできる。この薄膜トランジスタでは、前述のスタガ型の薄膜トランジスタの場合と同様に、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができ、その上、低濃度の不純物を含有されたソース・ドレイン用半導体薄膜24aによって高電界を緩和することができるので、耐圧の向上を図ることができる。

【0012】次に、図5はこの発明を逆スタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この薄膜トランジスタでは、シリコン、石英、耐熱

5

性ガラス等からなる基板31の上面に酸化シリコンや窒化シリコン等からなる下地絶縁性薄膜32が設けられている。下地絶縁性薄膜32の上面の所定の個所にはアルミニウムからなるゲート電極33が設けられている。ゲート電極33および下地絶縁性薄膜32の上面には酸化シリコンや窒化シリコン等からなるゲート絶縁膜34が設けられている。ゲート絶縁膜34の上面の所定の個所にはポリシリコン等からなるチャネル用半導体薄膜35が設けられている。チャネル用半導体薄膜35の上面の両側には不純物を高濃度に含有されたポリシリコン等からなるソース・ドレイン用半導体薄膜36が設けられている。左側のソース・ドレイン用半導体薄膜36の右端部の上面、右側のソース・ドレイン用半導体薄膜36の左端部の上面および両ソース・ドレイン用半導体薄膜36間におけるチャネル用半導体薄膜35の上面にはカットオフ電流抑制層37が設けられている。カットオフ電流抑制層37は、ソース・ドレイン用半導体薄膜36と反対の導電型の不純物（ソース・ドレイン用半導体薄膜36がn型の場合にはp型の不純物、p型の場合にはn型の不純物）が含有されたアモルファスシリコンまたはポリシリコンの半導体薄膜からなっている。カットオフ電流抑制層37およびソース・ドレイン用半導体薄膜36等の上面にはPSG等からなるパッシベーション薄膜38が設けられている。ソース・ドレイン用半導体薄膜36に対応する部分のパッシベーション薄膜38にはコンタクトホール39が設けられている。パッシベーション薄膜38の上面にはアルミニウムからなるソース・ドレイン電極40がコンタクトホール39を介してソース・ドレイン用半導体薄膜36と接続されて設けられている。つまり、この実施例では、カットオフ電流抑制層37はチャネル用半導体薄膜35およびソース・ドレイン用半導体薄膜36のソース・ドレイン電極40間部分のみに対応して形成されている。

【0013】このように、この薄膜トランジスタでは、ソース・ドレイン用半導体薄膜36とパッシベーション薄膜38との間に、ソース・ドレイン用半導体薄膜36と反対の導電型の不純物が含有された半導体薄膜からなるカットオフ電流抑制層37を設けているので、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【0014】次に、図6はこの発明をLDD構造の逆スタガ型の薄膜トランジスタに適用した場合の一例を示したものである。この図において、図5と同一部分には同一の符号を付し、その説明を適宜省略する。この薄膜ト

6

ランジスタでは、図5の実施例に対し、ソース・ドレイン用半導体薄膜36を低濃度不純物領域36aと高濃度不純物領域36bからなるLDD構造とした点でのみ相違する。この場合、ソース・ドレイン電極40に接合される領域を高濃度不純物領域36bとなし、その内側に位置する領域を低濃度不純物領域36aとなす。カットオフ電流抑制層37はチャネル用半導体薄膜35のチャネル領域と、ソース・ドレイン用半導体薄膜36の低濃度不純物領域36aにのみ対応して形成されている。この薄膜トランジスタでは、前述の逆スタガ型の薄膜トランジスタの場合と同様に、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができ、その上、低濃度の不純物が含有されたソース・ドレイン用半導体薄膜36aによって高電界を緩和することができるので、耐圧の向上を図ることができる。

【0015】

【発明の効果】以上説明したように、この発明によれば、ソース・ドレイン領域の一面にカットオフ電流抑制層を結合しているため、オン電流に大きな影響を与えることなく、カットオフ電流を十分に低減することができる。

【図面の簡単な説明】

【図1】この発明をコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

【図2】この発明をLDD構造のコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

【図3】この発明をスタガ型の薄膜トランジスタに適用した場合の一例の断面図。

【図4】この発明をLDD構造のスタガ型の薄膜トランジスタに適用した場合の一例の断面図。

【図5】この発明を逆スタガコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

【図6】この発明をLDD構造の逆スタガコプラナ型の薄膜トランジスタに適用した場合の一例の断面図。

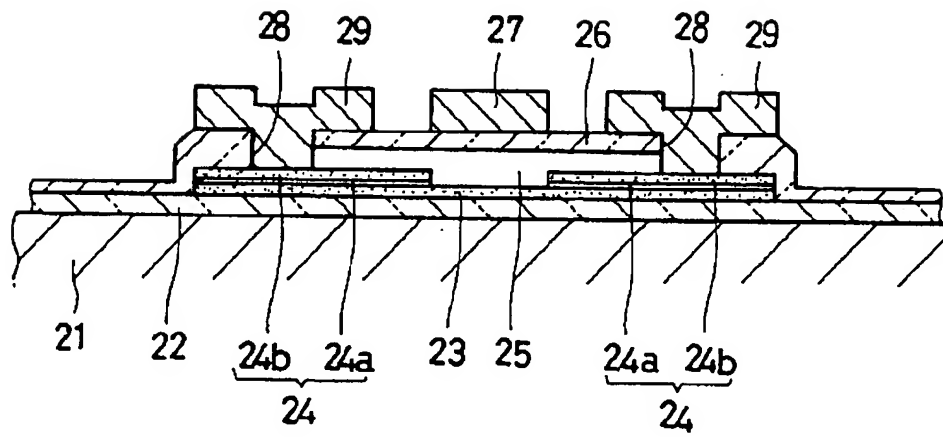
【符号の説明】

- 1 基板
- 2 下地絶縁性薄膜
- 3 カットオフ電流抑制層
- 4 半導体薄膜
- 5 ゲート絶縁膜
- 6 チャネル領域
- 7 ゲート電極
- 8 ソース・ドレイン領域
- 10 ソース・ドレイン電極

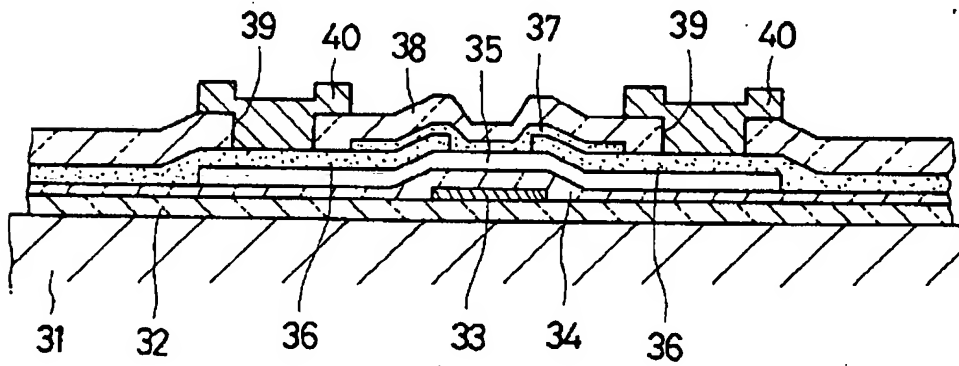
1 基板
2 下地絶縁性薄膜
3 カットオフ電流抑制層
4 半導体薄膜
5 ナット絶縁膜
6 チャンネル領域
7 ナット電極
8 ソース・ドレイン領域
9 9
10 10

A cross-sectional view of a semiconductor device. The structure consists of a substrate (1) with a thin layer (2) on top. A thick layer (3) is deposited on top of (2). On top of (3), there is a patterned layer (4) with two regions labeled 8a and 8b. Above (4), there is a layer (5) with a patterned layer (6) on top. The patterned layer (6) has two regions labeled 8a and 8b. Above (6), there is a layer (7) with a patterned layer (9) on top. The patterned layer (9) has two regions labeled 8a and 8b. Above (9), there is a layer (10) with a patterned layer (10) on top. The patterned layer (10) has two regions labeled 8a and 8b.

【図4】



【図5】



【図6】

